

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-042822
 (43)Date of publication of application : 16.02.2001

(51) Int. Cl.

G09G 3/30
 // H05B 33/14

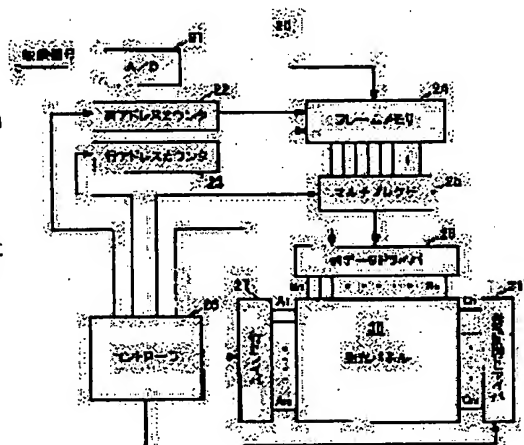
(21)Application number : 11-220291
 (22)Date of filing : 03.08.1999

(71)Applicant : PIONEER ELECTRONIC CORP
 (72)Inventor : ISHIZUKA SHINICHI

(54) ACTIVE MATRIX TYPE DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a display device, in which no dispersion of luminance gradation exists over the entire surface of a display panel, by providing a means to stop the light emitting of light-emitting elements after a prescribed light emitting period has elapsed for every subfield. SOLUTION: A controller 26 controls a light-emitting control driver 31 to supply control signals to make a switching circuit conductive and to make organic electroluminescence (EL) elements of the pixels having the data indicating light-emitting emit light. Moreover the controller 26 supplies a signal, which instructs stopping of light-emitting of the organic EL elements of the driver 31 when a beforehand determined light emitting interval time elapses for a first subfield. The driver 31 supplies control signals to stop light-emitting of the organic EL elements to all the switching circuits of a first row and the elements comes to be in non-light emitting state. Then, the controller 26 repeats similar operations for the case of a first subfield, and corresponding light emitting is conducted from the first subfield to the eighth subfield.



LEGAL STATUS

[Date of request for examination] 19.09.2003
 [Date of sending the examiner's decision of rejection] 28.01.2004
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

ス・W4120電圧はゲートにおける電圧として常に
 15Vに保たれており、すなわち、P4121のソー
 ースの、供給される入力映像信号に応じて、ゲート
 電圧の電圧の大きさを調整することにより、有線E
 L信号に15に保たれる映像電圧を調整することができ
 る。従って、有線E15の映像電圧を調整する
 ことによって有線E15の映像電圧を調整してい
 た。

【0005】所定しようとする問題)しかしながら、上述したような系統図例によって製造出展表示が示す系統図例においては、図例F E Tのデータに於ける電圧値とソー ス・バルク間を流れる電流値の関係、すなわち、図例F E Tの電流-電圧特性が表現されてゐるため、表示ソート間の電流値F E T間の特性が失つたことによって製造図例に於ける電圧と、積度の異なる多層配線表示図例であるという問題があった。

【0006】本発明はかかる点に鑑みてなされたものであり、その目的とするところは、表示パネルの全面に亘って検出電圧のばらつきのない高精度の多相電圧表示可能なアナログバリエトリクス型の表示装置を提供することにある。

[0007]

は、ワトリリス状に隠匿された発光子と、デーク信号を必要とせずに保持する限外回路と、集積された電圧に応じて発光素子の各々を駆動する駆動素子と、を含むアナログタイプ型の発光パネルを用いた表示装置であつて、入力映像データの周知アミビッドに対応する単位時間内は、複数のアナログ回路を固定する駆動手段と、上述アナログ回路毎に発光パネルの各行を順次駆動して、上述映像の入力映像データに依つて発光素子を発光させる表示制御手段と、サブフィールド毎の各々に対し、発光制御手段が発光パネルの全ての行の走査に要する期間であるアドレス期間が所定時間よりも長い場合に、発光素子の各々の発光期間が所定時間内に入った時に発光素子の各々の発光を停止せしめる発光停止手段と、を有することを特徴としている。

図は、ほとんどの場合、まず光電子の飛出を停止せしめる。また、本発明の他の特徴として、上段スライチ回路は、ダイオードスライチ回路において運動電子の各々の速度を調節するスライチ回路と、を有している。更に、本発明の他の特徴として、上段スライチ回路は運動電子及び保持回路の間に直列に接続されている。

【0009】本発明の他の特徴として、上段スライチ回路は保持回路に並列に接続されている。また、本発明の他の特徴として、上段スライチ回路は光電子に直列に接続されている。

【図10の突進時の形態】本機時の突進時は両足を歩調しつつ片足に懸かり、前、以下に懸かり足を引いて、突進時に両足を歩調には明一歩の歩調を付けている。図2は、本機時の第1の突進時であるフタリヤトリクススに示している。

[illegible]

に各署名者の住所氏名を記載する。この場合は、17100
のデータ単位で、第1サブワールドから第8サブワ
ールドまでのそれぞれのデータに関して行われる
(ここでは8面行となる)。発光パネル30の各画素
の発光状態を各サブワールドの各々1ビット、合計す
る所定の発光状態から発光情報され、171000分の発
光状態を各画素表示によって行うことができる。

[illegible]

表示)をなすことができる。

[illegible][illegible]

【0016】 図1により、指定されたアドレス（第1行、第1列）の1ワードのデマルチプレクサ出力データに、各デマルチプレクサに供給する8つの相異なるデータに、変換され、発生される32ビットのアドレスに対応する、非ゼロデータを含むデータとゼロデータとで構成されるデータとに供給される。コントローラ2は、デマルチプレクサ2に供給された上述指定されたアドレス（第1行、第1列）のデータの中から第1デマルチプレクサのデータと第2デマルチプレクサのデータとを出力する。第1デマルチプレクサは、出力データ8ビットを出力する。図1（図示しない）によってこのデータを復号する。

1001171 次、コンホロ-266は、第718次、ワツタ22はれて列を1つ変更する指令を出す。すなわち、第718次は、ワツタ22はれて第229次を指すことになる。このことにより、アトリス(第1行、第2列)が指定され、先を並べアトリス(第1行、第1列)が指定された場合、同様の動作を繰返すことになる。よって、コンホロ-266は、第718次の動作に対し、上記した動作を繰返すことにより、第1行の全ての列のデータを第718次が持つデータ・ブロックに保持させる。

[illegible]

(0019) コントローラ6は、第1行の全ての列データがラサされた後のヌラツとは、行の全ての列データがラサされた後に進捗する前の指針を出すと共に、ラサバリスカラソナ22を第1列に指定する自分の指針を出す。上記に第1行の場所の動作と関係にして、第2行の全ての列データのチータウチを行うように制御を出す。第1行の全ての列データのラサチは、上記した第1行の動作と同様にして、第2行の各列の最初の元データをラサチされる。

【0020】コントローラ56は、このように動作して着（着せぬ）着、第1サテライト着（着せぬ）着を行うことにより、第1サテライトのデータに付添えて送られ、第30の全ての通話の発信時刻を行うこととなる。次に、コントローラ56は、マルチプルアクセスを要する、以下、コントローラ56は、先に述べた第1サテライトの場合同様の動作を繰り返す、第2サテライトのデータに付添した送れがなされる。

【0021】このようにして、第1サテライトが、第8サテライトがすでに付添した発信がなされるが、本発明における特徴として、各サテライト毎に所定の手配を行っているため、マルチアクセスにより発信する発信時刻をサテライトに割り当てることが可能である。すなわち、発信する手配がされない

場合にアトリス期間よりも短い発光期間をサブアール
ドに割り当てることができるのは、次のサブアール
ドのアトリス期間の開始によって露光の発光（又は非露
光）が更新されるまで、発光していた露光の発光を停止
できず、次のサブアールドは、全ての露光の発光に要す
る期間であるアトリス期間を終了するまで開始できな
いからである。

【0022】図5は、第1サブアールド（15k5
8）に対し、アトリス期間（T₁）よりも短い発光期
間をサブアールの発光を維持する場合を示している。コン
ローラ26による前述したと同様な構成により、各行
はこのサブアールドに対して前述した所定の発光期
間（T₁）で発光維持される。例えば、1フレームを6
0Hzで表示する場合、1フレームは約16.7ミリ秒
（ms）である。ここで、アトリス期間を0.84ms
（1フレームの40%）（8）、第1サブアール
ド（1/2）における発光期間を1フレームの1
/2以下の値、例えば5msとそれと決定する場合を
例に説明する。このとき、第2サブアールド以降のサ
ブアールドにおける発光期間はそれぞれ第1サブア
ールドの発光期間の1/2、1/2、1/2、
1/2、1/2である。5ms、1.25ms、0.6
25ms、...、0.039msとなる。従って、こ
の場合、第4サブアールド以降のサブアールド（第
4〜第8サブアールド）における発光期間はアトリス
期間（T₁=0.84ms）よりも短い。各サブア
ールドに対し所定の発光期間を有するように制御がな
される。

【0023】上記したようにして、第1サブアールド
から第8サブアールドまでの表示制御が終了した時点
で1フレームの表示が完了する。その後、コンローラ
26は、フレームメモリ24に記憶されるデータを次の
フレームに対応するデータに書き替えて、次のフレ
ームの表示制御を行う。従って、本発明によれば、上述した
発光停止制御により、各サブアールドに対しアトリス
期間よりも短い任意の発光期間で発光を制御するの
で、広範な制御表示が可能である。

【0024】図7は、本発明の第2の実施例であるア
ナログ型ディスプレイの1画素に対する回路
構成を示したものである。本発明が第1の実施例と異
なるのは、スイッチ回路32がキャパシタ13に並列に
接続されたPBT35を有している点である。すなわ
ち、PBT35のノードはPBT11のソースS及
びキャパシタ13の接続点に接続され、ソースSはゾ
ンドに接続されている。従って、ゾンドに供給される
制御信号に応じてPBT35が導通したときに有電圧を
素子15の発光は停止される。

【0025】図8は、本発明の第3の実施例である発
光素子の1画素に対する回路構成を示したものであ
る。本発明が前述の実施例と異なるのは、スイッチ回

路32がキャパシタ13とPBT12のノードとの間
に接続されたPBT36を有している点である。
すなわち、PBT36のノードはPBT11のソ
ースS及びキャパシタ13の接続点に接続され、ソ
ースSはPBT12のノードに接続されている。従って、ゾ
ンドに供給される制御信号に応じてPBT36が非導
通となったときに有電圧素子15の発光は停止され
る。

【0026】図9ないし11は、本発明の他の実施例で
ある発光素子の1画素に対する回路構成をそれぞれ
示したものである。各実施例が前述の実施例と異なる
のは、スイッチ回路32が有電圧素子15と並列に接続
されたPBT37を有している点である。すなわち、P
BT37のノードは接続される制御信号に応じてP
BT37が導通となったときに有電圧素子15の発光
は停止される。

【0027】上記したように、本発明によれば、上述し
た発光停止制御により、各サブアールドに対しアト
リス期間よりも短い任意の発光期間で発光を制御するの
で、広範な制御表示が可能である。尚、上記した実施例
において示した各数値は例であって適宜変更してもよ
い。また、各素子のスイッチ回路等は、適宜組み合わ
せて用いることができる。

【0028】
【発明の効果】上記したことから明らかなように、本
明によれば、各サブアールドにおける発光期間を任意
に制御できるので、表示素子の全面に亘って露光期間
のばらつきのない高画質の表示が可能である。ア
ナログ型ディスプレイの表示装置を構成できる。

【図面の簡単な説明】
【図1】従来のアナログ型ディスプレイの1
つの画素に対する回路構成の1例を概念的に示す図
である。

【図2】本発明の実施例であるアナログ型ディスプレイ
の発光素子を用いた有電圧表示装置の構成を概念的に
示す図である。

【図3】デジタル表示装置の1フレーム期間、サブア
ールド期間、及びアトリス期間を示す図である。

【図4】本発明の第1の実施例であるアナログ型
ディスプレイの1画素に対する回路構成を示す図
である。

【図5】コンローラがサブアールド毎に供給する発
光素子のノードを示すタイムチャートである。

【図6】コンローラが、アトリス期間よりも短い発
光期間で発光を制御する例を示すタイムチャ
ートである。

【図7】本発明の第2の実施例であるアナログ型
ディスプレイの1画素に対する回路構成を示す図
である。

【図8】本発明の第3の実施例である発光素子の1画

素に対する回路構成を示す図である。

【図9】本発明の他の実施例である発光素子の1画
素に対する回路構成を示す図である。

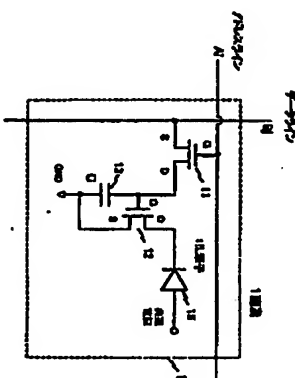
【図10】本発明の他の実施例である発光素子の1画
素に対する回路構成を示す図である。

【図11】本発明の他の実施例である発光素子の1画
素に対する回路構成を示す図である。

【主要部分の符号の説明】

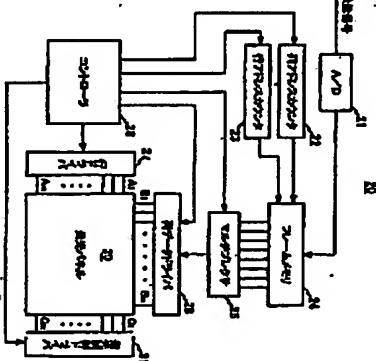
- 10 画素
- 11 アトリス期間用PBT
- 12 駆動用PBT
- 13 キャパシタ
- 15 発光素子

【図1】

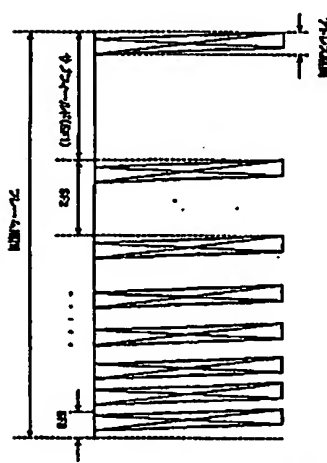


- 20 表示装置
- 21 A/D変換器
- 22 列ドライバ回路
- 23 行ドライバ回路
- 24 フレームメモリ
- 25 データレジスタ
- 26 コントローラ
- 27 列ドライバ
- 28 行ドライバ
- 30 発光素子
- 31 発光制御ドライバ
- 32 スイッチ回路
- 33, 34, 35, 36 PBT

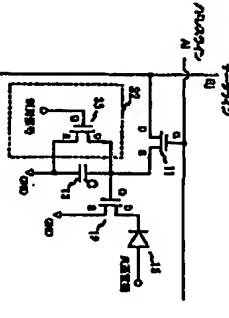
【図2】



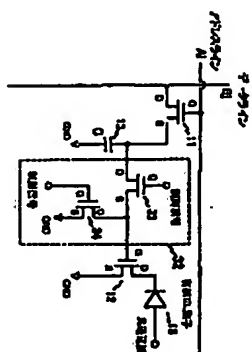
【図3】



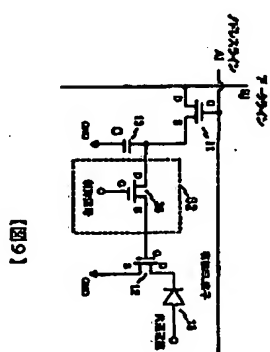
【図7】



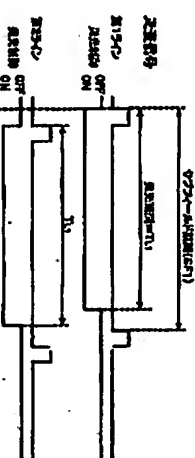
【図4】



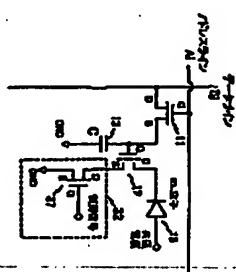
【図8】



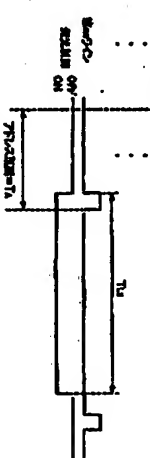
【図5】



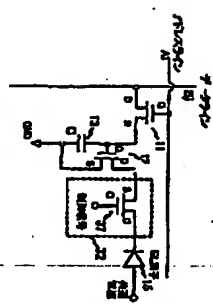
【図9】



【図10】



【図6】



【図11】

